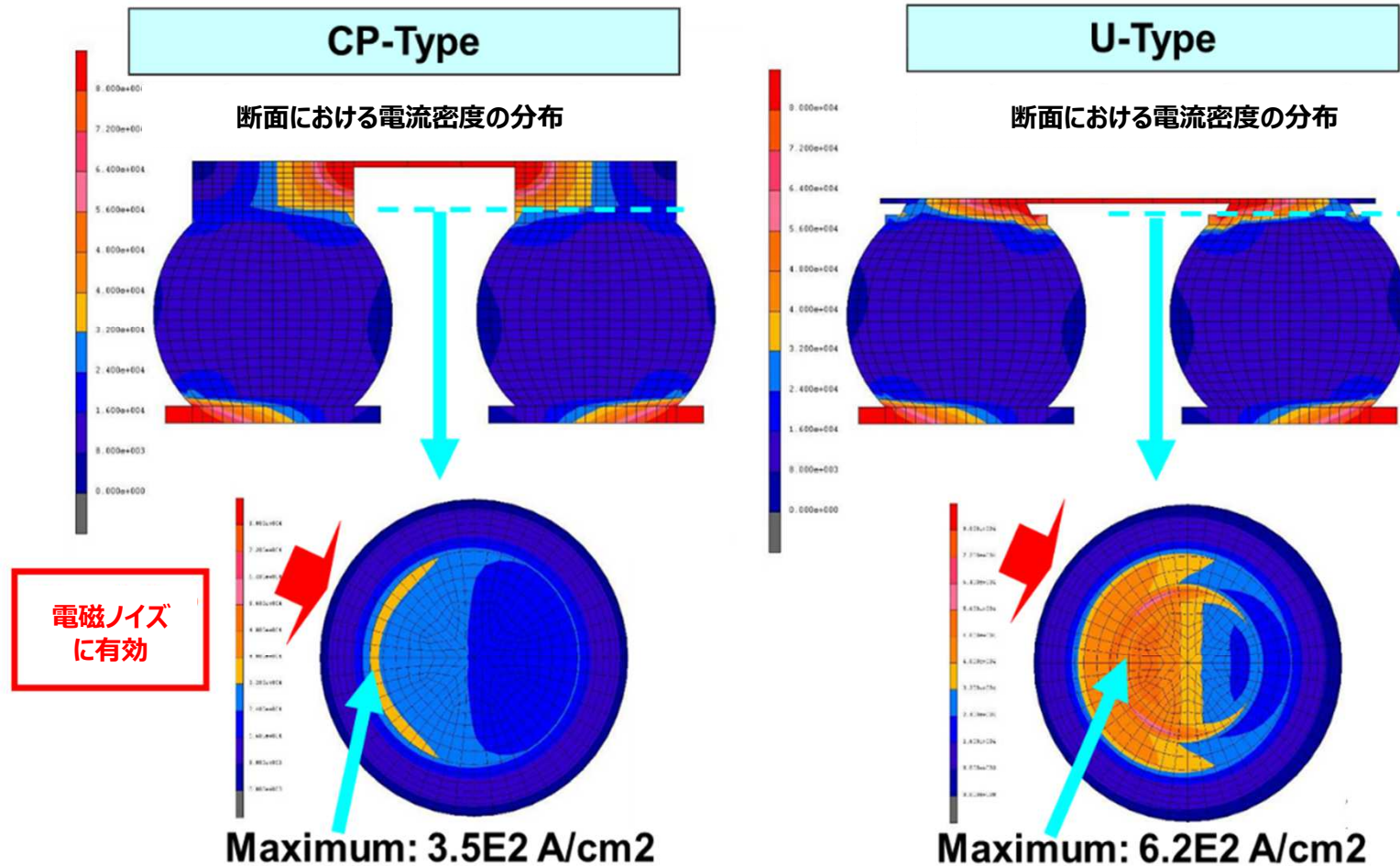


高信頼性 WLP技術

高信頼性 WLP技術

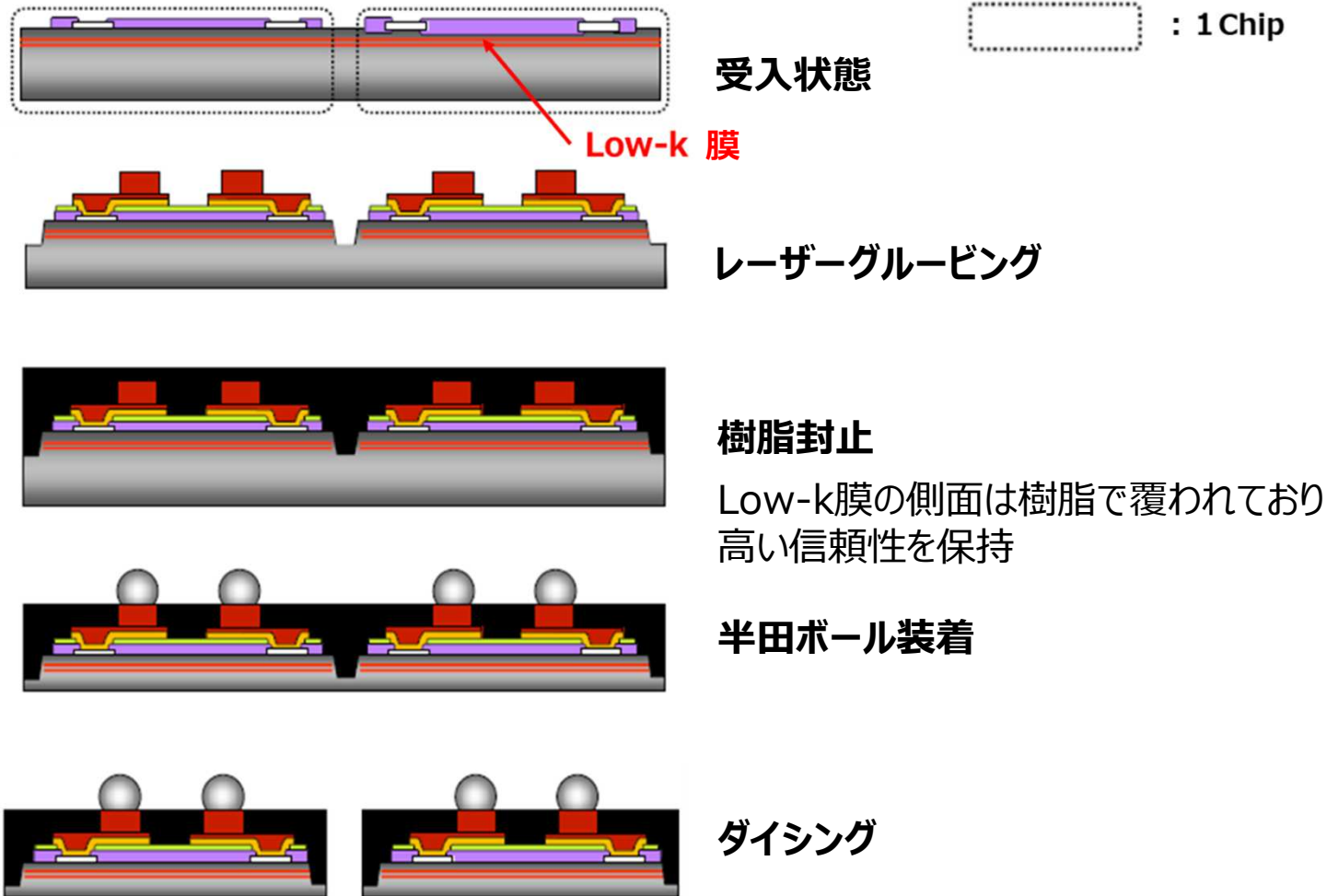
電流密度のシミュレーション



CPタイプの半田界面の電流密度はUタイプの56%となる

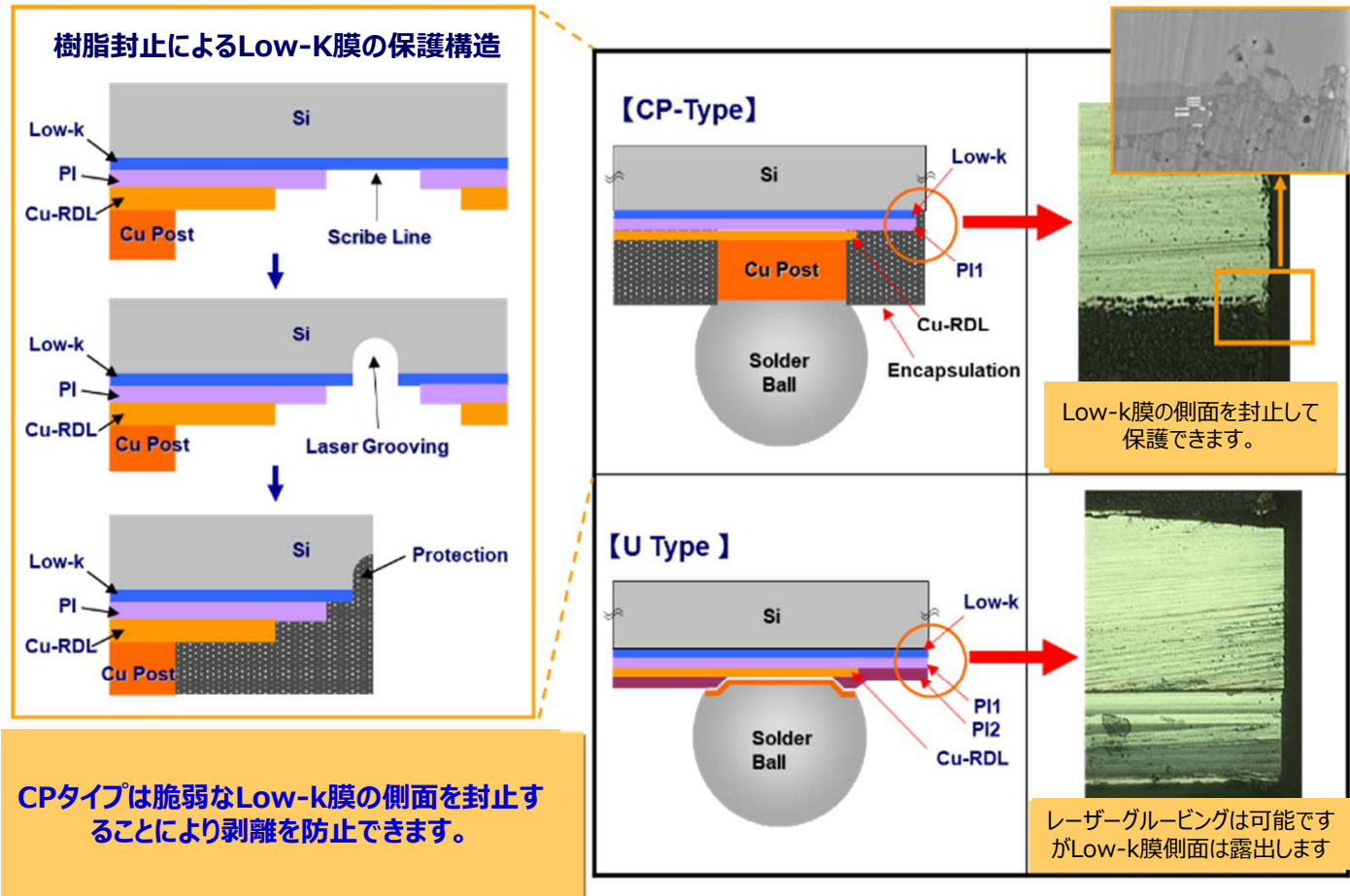
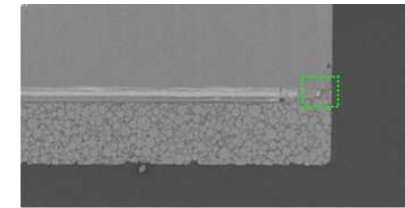
高信頼性 WLP技術

Low-k膜をグルーピングした際の断面図



高信頼性 WLP技術

Low-k膜をグルーピングした際の断面図



高信頼性 WLP技術

信頼性試験の結果

Test Items	Test condition	N	Test timing	Result	Judgment
				Lot 1	
Reflow	85°C/85% 168hr⇒ >255°C 30sec. 10X (JEDEC J-STD-020D Moisture Level1)	45	Initial	0/45	Pass
			After reflow	0/45	
PCT	Pre-condition ⇒ 121°C 100% 168hr	50	Initial	0/50	Pass
			168hr	0/50	
HTS	Pre-condition ⇒ 150°C、500hr、1000hr	50	Initial	0/50	Pass
			500hr	0/50	
			1000hr	0/50	
TCT	Pre-condition ⇒ -65°C~150°C、500cycle、1000cycle	50	Initial	0/50	Pass
			500cycle	0/50	
			1000cycle	0/50	
THB	Pre-condition ⇒ 85°C 85%RH、3.5V 168hr、500hr、1000hr	22	Initial	0/22	Pass
			168hr	0/22	
			500hr	0/22	
			1000hr	0/22	

ATTENTION

本資料には機密情報が含まれておりますので、事前にアオイ電子の書面による承諾がない限り、本資料の内容を開示、複製、配布、またはそれに依拠した行為を固く禁じます。
予めご了承くださいませようお願い申し上げます。